

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有權機關
國際事務局



(43) 国際公開日
2005年12月22日 (22.12.2005)

PCT

(10) 国際公開番号
WO 2005/122244 A1

(51) 國際特許分類⁷:

H01L 21/8242,

CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二
丁目4番1号 Tokyo (JP).

(21) 國際出願番号:

PCT/JP2005/010242

(72) 発明者; および

(22) 國際出願日:

2005年6月3日 (03.06.2005)

ISHITA, Fukashi) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号株式会社ルネサステクノロジ内 Tokyo (JP). 有本 和民 (ARIMOTO, Kazutami) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目4番1号株式会社ルネサステクノロジ内 Tokyo (JP).

(26) 国際公開の言語:

日本語

(74) 代理人: 吉田 茂明, 外(YOSHIDA, Shigeaki et al.); 〒5400001 大阪府大阪市中央区城見 1 丁目 4 番 70 号 住友生命 OBP プラザビル 10 階 Osaka (JP).

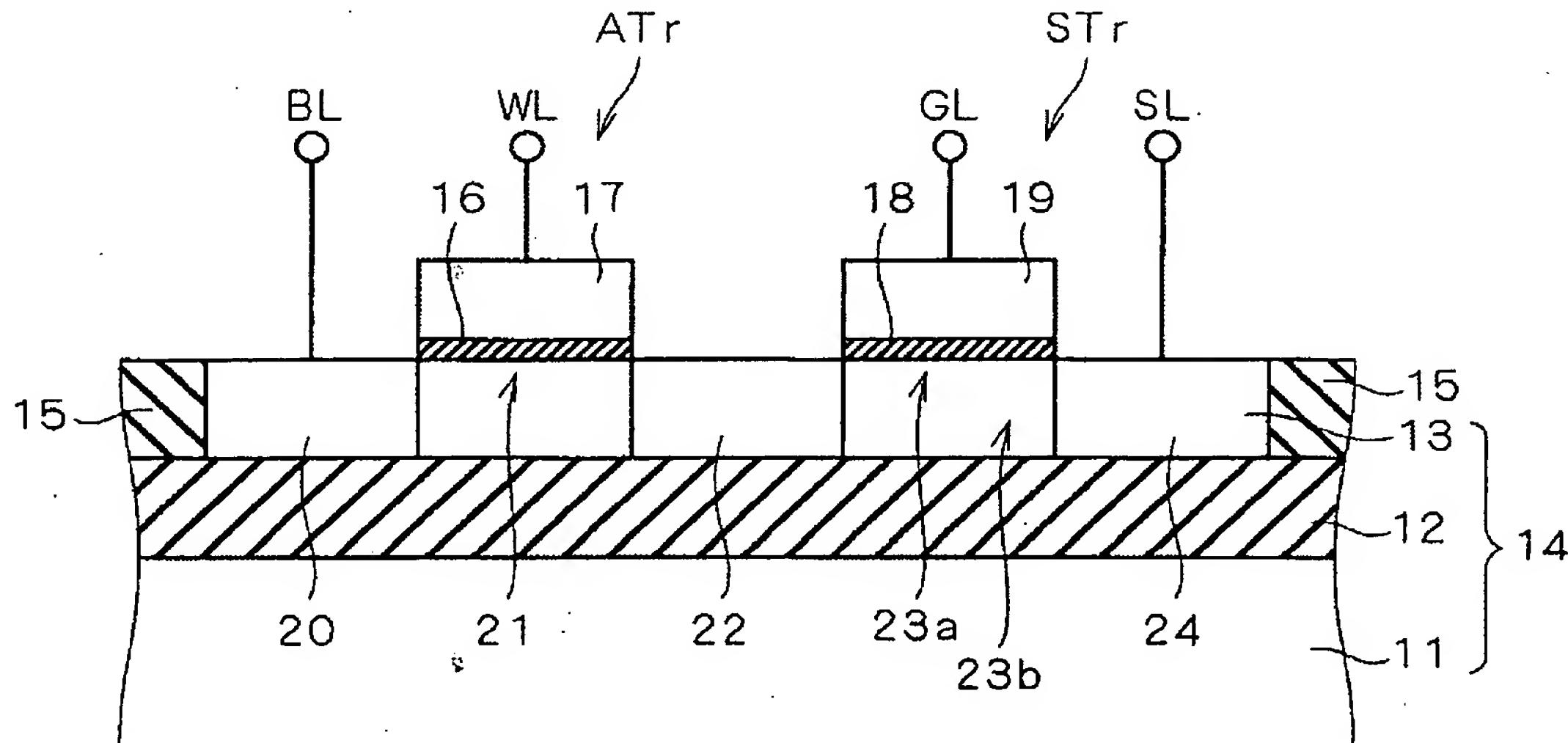
(71) 出願人(米国を除く全ての指定国について): 株式会社ルネサステクノロジ(RENESAS TECHNOLOGY

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,

〔続葉有〕

(54) Title: SEMICONDUCTOR STORAGE

(54) 発明の名称: 半導体記憶装置



(57) Abstract: Disclosed is a semiconductor storage which operates stably and can be produced by an MOS process. A storage transistor (STr) comprises impurity diffused regions (22, 24), a channel forming region (23a), a charge storage node (23b), a gate oxide film (18) and a gate electrode (19). The gate electrode (19) is connected to a gate line (GL), and the impurity diffused region (24) is connected to a source line (SL). The storage transistor (STr) stores data "1" or data "0" by creating a state where holes are stored in the charge storage node (23b) or a state where holes are not stored in the charge storage node (23b). An access transistor (ATr) comprises impurity diffused regions (20, 22), a channel forming region (21), a gate oxide film (16) and a gate electrode (17). The impurity diffused region (20) is connected to a bit line (BL).

(57) 要約: 本発明は、MOSプロセスによって製造可能であり、しかも安定動作を実現し得る半導体記憶装置を得ることを目的とする。ストレージトランジスタ (S T r) は、不純物拡散

(統葉有)